

МАТЕМАТИЧЕСКОЕ И ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ВЫЧИСЛИТЕЛЬНЫХ МАШИН, КОМПЛЕКСОВ И КОМПЬЮТЕРНЫХ СЕТЕЙ

УДК 681.324

В.В. Кожевников

МЕТОД МАТЕМАТИЧЕСКОГО МОДЕЛИРОВАНИЯ ЛОГИЧЕСКИХ СХЕМ ЦИФРОВЫХ АВТОМАТОВ¹

Кожевников Валерий Владимирович, кандидат технических наук, окончил Пушкинское высшее командное училище радиозлектроники, доцент кафедры «Телекоммуникационные технологии и сети» Ульяновского государственного университета. Имеет публикации в области теории проектирования микроэлектронных систем. [e-mail: vvk2861955@mail.ru].

Аннотация

Метод строится на базе представления цифровых автоматов в виде уравнений состояний сетей Петри из класса уравнений Мурата. В работе представлен логический аспект математического моделирования цифровых автоматов. Предлагаемый метод обеспечивает возможность аналитического и имитационного моделирования логических схем цифровых автоматов. Моделирование логических схем цифровых автоматов сводится к решению уравнений состояний сетей Петри.

Ключевые слова: метод, моделирование, цифровые автоматы, логические схемы, сети Петри (СП), уравнения состояний.

Valery Vladimirovich Kozhevnikov, Candidate of Engineering; graduated from Pushkin Higher Radioelectronics Command School; Associate Professor at the Chair 'Telecommunication Technology and Networks' of Ulyanovsk State University; author of publications in theory of design of microelectronic systems. e-mail: vvk2861955@mail.ru.

Abstract

The method is based on the presentation of digital automata in the form of Petri-net state equations of Murata equation class. The paper shows a logical aspect in mathematical modeling of digital automata. The suggested method provides possible analytical and simulation modeling of logic circuits for digital automata. Modeling of logic circuits of digital automata comes down to solving Petri-net state equations.

Key words: method, modeling, digital automata, logic circuit, Petri net, state equations.

ВВЕДЕНИЕ

В основе большинства инструментальных средств автоматизированного проектирования логических схем используются методы моделирования на базе описания логических схем на специализированных языках программирования (Verilog, VHDL, AHDL и т. п.). На разных уровнях проектирования могут использоваться различные модели и методы моделирования, что определяет целе-

сообразность разработки технологии, которая позволила бы объединить все уровни проектирования на основе некоей общей фундаментальной теории.

Основу такой технологии может составить концепция математического моделирования на базе представления модели логических схем в виде систем линейных алгебраических уравнений [1], где в качестве инструмента построения модели используется аппарат СП [2]. В ра-

¹ Исследование выполнено при финансовой поддержке РФФИ - грант 12-07-00140 а.

боте [1] представлены структурный, функциональный и структурно-функциональный аспекты моделирования логических схем. На разных уровнях проектирования используются соответствующие классы СП: маркированные графы, автоматные сети и сети со свободным выбором.

На логическом уровне проектирования обычно используются ингибиторные СП и их расширения [3], которые при достаточно высокой мощности моделирования имеют более низкую мощность разрешения по сравнению с классическими СП. Проблема, собственно, заключается в том, что ингибиторные СП не могут быть представлены в виде матрицы инцидентности СП и, соответственно, в виде системы линейных алгебраических уравнений.

В настоящей работе представлен логический аспект предложенной в [1] концепции математического моделирования логических схем. Предлагаемый метод обеспечивает возможность аналитического и имитационного моделирования логических схем цифровых автоматов.

1 МОДЕЛЬНОЕ ПРЕДСТАВЛЕНИЕ ЛОГИЧЕСКИХ СХЕМ

Исходной информацией для построения сетевой модели логических схем служит описание структурной схемы. Степень декомпозиции компонентов схемы должна обеспечивать возможность представления этих компонентов в виде таблицы истинности. При этом точность моделирования зависит от степени декомпозиции компонентов схемы.

Структурная схема преобразуется в маркированный граф путем интерпретации входов и выходов логических схем и структурных компонентов позициями маркированного графа, а самих компонентов и линий соединения составными и простыми переходами соответственно. Таблицы истинности компонентов преобразуются в сетевые модели путем интерпретации наборов из таблицы истинности переходами, а соответствующей логики входными и выходными дугами переходов. Практически таблица ис-

тинности логического элемента, где единичные значения входных переменных берутся со знаком минус, а выходные со знаком плюс, представляет собой матрицу инцидентности логического элемента.

Логическая единица интерпретируется как фишка в позиции сети, а ее отсутствие как логический ноль. Перемещение информации в логических схемах интерпретируется как движение фишек в сети.

На рисунке 1 приведен маркированный граф схемы одноразрядного сумматора, который в результате подстановки сетевых моделей компонентов преобразуется в СП со свободным выбором. При этом свойства маркированного графа сохраняются, так как в сетевой модели компонента одновременно может быть активизирован только один переход. Пунктиром на рисунке 1 показаны дуги, соответствующие нулю в матрице инцидентности логических элементов.

Графическая форма представления логических схем позволяет перейти от описания логической схемы к их математическому представлению в виде матрицы инцидентности

$$A = A^+ - A^-I,$$

где A^{-1} - матрица, задающая множество отношений между входными позициями и переходами,

A^{+1} - матрица, задающая множество отношений между переходами и выходными позициями переходов.

Представление СП в виде двудольного ориентированного графа или матрицы инцидентности позволяет задать логические схемы статически. Динамику в модель вносит движение фишек, регулируемое правилами запуска переходов и смены разметки (маркировки) сети. Комплексная модель логических схем может быть представлена в виде уравнений состояний СП из класса уравнений Мурата [4] или в виде систем линейных алгебраических уравнений.

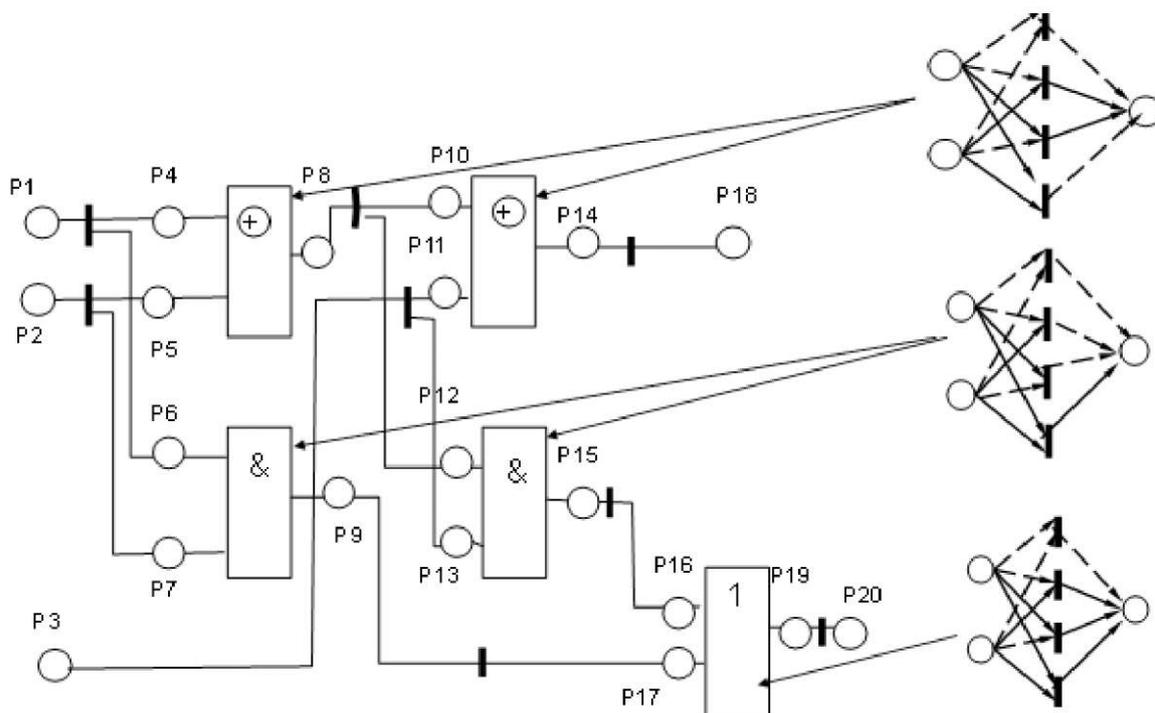


Рис. 1. Маркированный граф схемы одноразрядного сумматора

2 АНАЛИТИЧЕСКОЕ МОДЕЛИРОВАНИЕ ЛОГИЧЕСКИХ СХЕМ

Аналитическое моделирование проводится с целью анализа корректности логических схем и в сетевой модели сводится к решению задач достижимости устойчивых состояний сети и построения протоколов достижимости устойчивых состояний с последующим анализом безопасности схемы на базе полученных протоколов.

Задача достижимости устойчивых состояний сети, в свою очередь, может быть сведена к решению системы линейных алгебраических уравнений:

$$A\alpha = A\tau, \tag{1}$$

где $\alpha = \alpha_0$, α_0 - вектор начальной разметки сети, α - вектор конечной разметки сети, τ - вектор покрытия множества переходов сети.

Множество достижимых состояний сети определяется множеством пар векторов $(D\alpha, \tau)$, которые определяют диаграммы переходов и состояний логической схемы (диаграммы Мура).

Решение системы уравнений (1) может быть получено любым из существующих методов решения задач линейного целочисленного программирования. Для систем уравнений небольшой размерности решение может быть получено путем перебора комбинаций столбцов матрицы инцидентности A с учетом особенностей сетевой модели. При этом первостепенное значение приобретает задача выбора критерия достижимости.

Известно, что для маркированных графов вектор разности начальной и конечной разметки сети на множестве внутренних позиций сети равен нулю:

$$A\alpha(P^0) = 0, \tag{2}$$

где P^0 - множество внутренних позиций сети.

Данное свойство маркированных графов (2) сохраняется в сетевой модели и может быть использовано в качестве критерия достижимости при решении системы уравнений (1). Более того, именно свойство (2) обеспечивает возможность матричного представления сетевой модели логических схем.

В случае, если вектор начальной разметки α_0 изначально задан, система уравнений (1) имеет только одно решение. В противном случае система уравнений (1) бу-

дет иметь множество решений.

В случае, если вектор разности начальной и конечной разметки α полностью не определен, задача достижимости устойчивых состояний сети сводится к решению системы однородных уравнений (1) на множестве внутренних позиций сети, с последующим доопределением вектора α на множестве входных и выходных позиций сети.

Наличие так называемых недействительных решений, характерных для матричного анализа СП [2], в процессе моделирования последовательностью схем является естественным и даже необходимым свойством СП. Моделирование разрыва обратных связей для последовательных схем осуществляется путем исключения соответствующих позиций из состава внутренних позиций сети.

Задача построения протоколов достижимости устойчивых состояний сводится к вычислению последовательности векторов запуска переходов и текущей разметки сети для каждого вектора τ , начиная с вектора α_0 и до тех пор, пока не будет достигнута разметка α .

Последовательность векторов запуска переходов и векторов текущей разметки может быть получена путем итеративного решения системы линейных алгебраических уравнений:

$$\alpha^* = \alpha_{k-1} + A \cdot u^*, \tag{3}$$

где α^* - вектор текущей разметки сети,

u^* - вектор запуска переходов в сети, для которого на

каждом шаге итерации ($k = 1, n$) выполняется условие:

$$\alpha_{k-1}^{-A} \cdot u_k \geq 0. \tag{4}$$

Уравнение (3) определяет правило смены разметки СП, условие (4) - правило запуска переходов СП соответственно.

Для вектора начальной разметки

$$\alpha_0 = \{1\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\}$$

последовательность текущих разметок сети α^* отражена в таблице 1 и представляет собой протокол достижимости устойчивых состояний одноразрядного сумматора, приведенного на рисунке 1.

В качестве критерия безопасности схемы для каждого протокола используется следующее условие:

Таблица 1

	A	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16	P17	P18	P19	P20
α_0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
α_1	0	0	0	1	0	1	0	0	0	0	1	0	1	0	0	0	0	0	0	0
α_2	0	0	0	0	0	0	0	1	0	0	1	0	1	0	0	0	0	0	0	0
α_3	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0
α_4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
α_5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
α_6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
α_7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

$$\sum_{k=1}^n \mu_k(P) \leq 1, \quad (5)$$

где n - количество итераций,

P - множество позиций сети.

Если для некоторой позиции условие (5) не выполняется, то данная позиция определяет место возможного появления неустойчивого сигнала, способного привести к сбою в процессе функционирования логических схем. Следует отметить, что полученные протоколы отражают только время достижения устойчивых состояний и не отражает реальной длительности сигналов. Моделирование реальной длительности сигналов выполняется на этапе имитационного моделирования логических схем.

3 ИМИТАЦИОННОЕ МОДЕЛИРОВАНИЕ ЛОГИЧЕСКИХ СХЕМ

Имитационное моделирование проводится с целью построения протоколов достижимости всех возможных состояний логических схем с учетом реальной длительности сигналов и задержек компонентов схемы (временных диаграмм).

В сетевой модели задача построения протоколов достижимости возможных состояний, в том числе и неустойчивых, сводится к вычислению последовательности векто-

ров запуска переходов и текущей разметки сети, начиная с заданной разметки сети $|_0$ и до тех пор, пока сеть не перейдет в устойчивое состояние.

Соответствующая последовательность векторов запуска переходов и векторов текущей разметки может быть получена путем итеративного решения системы линейных алгебраических уравнений:

$$I = I + \cdot U, \quad (6)$$

где для каждого вектора запуска переходов u_k выполняется следующее условие:

$$I - 1^{-1} \cdot u_k = 0 \quad (7)$$

Уравнение (6) отличается от уравнения (7) тем, что обеспечивает возможность моделирования потока информации. Условие (7) одновременно служит в качестве правила запуска переходов СП и критерия достижимости.

Протокол достижимости возможных состояний одноразрядного сумматора (см. рис. 1) для вектора начальной разметки

$$|_0 = \{1\ 0\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\}$$

приведен в таблице 2. При этом длительность сигналов моделируется как сохранение разметки соответствующих позиций сети в течение одной или более итераций. Соответственно, время достижимости интерпретируется как

Таблица 2

	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16	P17	P18	P19	P20
I	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
I ₁	1	0	1	1	0	1	0	0	0	0	1	0	1	0	0	0	0	0	0	0
I ₃	1	0	1	1	0	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0
I ₄	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	0	0	1	0	0
I ₆	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	1	0	0	0	0
I ₇	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	1	0	0	1	0
I ₇	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	1	0	0	1	1

Таблица 3

	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16	P17	P18	P19	P20
I ₀	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
I ₁	1	0	1	1	0	1	0	0	0	0	1	0	1	0	0	0	0	0	0	0
I ₂	1	0	1	1	0	1	0	1	0	0	1	0	1	1	0	0	0	0	0	0
I ₃	1	0	1	1	0	1	0	1	0	1	1	1	1	1	0	0	0	1	0	0
I ₄	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	0	0	1	0	0
I ₅	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	1	0	0	0	0
I ₆	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	1	0	0	1	0
I ₇	1	0	1	1	0	1	0	1	0	1	1	1	1	0	1	1	0	0	1	1

количество итераций. Время срабатывания переходов принимается равным единице.

Путем совмещения протоколов, приведенных в таблицах 1 и 2, можно легко выявить места и время возникновения рисков сбоя, вызываемых некорректностью исходной схемы (см. табл. 3). Жирным цветом выделен протокол достижимости устойчивых состояний, серым фоном выделены места возникновения возможных рисков сбоя.

Риски сбоя могут возникать также в случае недостаточной длительности входных сигналов. Вероятность возникновения рисков сбоя увеличивается в случае различного времени срабатывания переходов.

ЗАКЛЮЧЕНИЕ

Предложенная в [1] концепция математического моделирования может быть реализована и на логическом уровне проектирования для проведения как аналитического, так и имитационного моделирования логических схем. Предлагаемый метод моделирования вписывается в общую концепцию математического моделирования логических схем на различных уровнях представления и может быть использован для решения задач анализа корректности, генерации тестов, моделирования и вычисления неисправностей логических схем [5]. Для имитационного моделирования логических схем метод может быть при-

менен исключительно только на логическом уровне проектирования. Сочетание аналитического и имитационного моделирования на логическом уровне проектирования открывает дополнительные возможности автоматизации анализа так называемых гонок или состязаний сигналов, возникающих в процессе функционирования логических схем.

СПИСОК ЛИТЕРАТУРЫ

1. Кожевников В.В. Концепция математического моделирования микропрограммируемых устройств // Изв. РАН, Техническая кибернетика. - 1992. - № 4. - С. 175-179.
2. Питерсон Д. Теория сетей Петри и моделирование систем. - М. : Мир, 1984. - 264 с.
3. Гуревич Д.С. Поглощающие сети Петри и их использование при разработке цифровых вычислительных систем с распределенной структурой // Автоматика и вычислительная техника. - 1990, - № 2. - С. 80-87.
4. Мурата Т. Сети Петри. Свойства, анализ, приложения // ТИИЭР. - 1989. - № 44. - С. 41-85.
5. Кожевников В.В. Методы построения и анализа сетевой диагностической модели микропрограммируемых структур // Автоматика и вычислительная техника. - 1988. - № 5. - С. 90-95.